

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-104168

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
G 0 1 N 21/88		G 0 1 N 21/88	E
G 0 1 B 11/24		G 0 1 B 11/24	F
G 0 3 F 1/08		G 0 3 F 1/08	S
G 0 6 F 17/50		G 0 6 F 15/60	6 5 8 M
H 0 1 L 21/82			6 7 0

審査請求 未請求 請求項の数 4 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願平8-254987

(22) 出願日 平成8年(1996) 9月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 磯村 育直

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 土屋 英雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

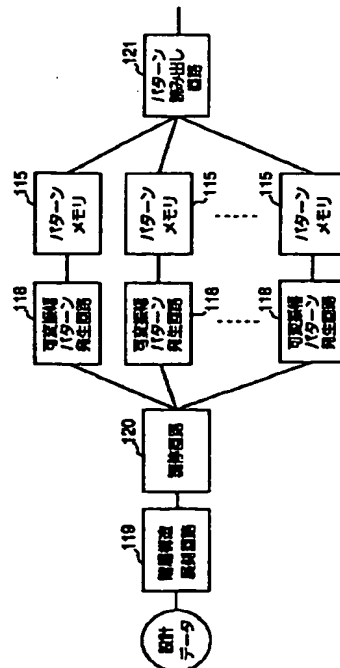
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 設計データに基づく図形データ展開装置

## (57) 【要約】

【目的】 本発明は、ビット展開回路を多値化することで、見かけ上の回路の動作速度を向上させ、斜め線処理における誤差を改善して精度を向上させる図形データ展開装置を提供する。

【構成】 図形設計データを読み込み、図形形状、図形位置、図形寸法を解読し、その出力データを適当な寸法を単位とするマス目に割り付けるに当たり、処理している図形が存在するマス目ごとにそのマス目を占める割合を求め、占有率データを出力する図形展開回路(119)と、図形展開回路(119)が発生する占有率データがある一定の範囲分保持するパターンメモリ(115)と、各マス目の占有率データを読み出すパターンメモリ読み出し回路(121)とで構成される。



1

## 【特許請求の範囲】

【請求項 1】 図形設計データを読み込み、図形形状、図形位置、図形寸法を解釈し、解釈出力データを適当な寸法を単位とするマス目に割り付けるに当たり、処理している図形が存在するマス目ごとにそのマス目を占める割合を求め、占有率データを出力する図形展開手段と、前記図形展開手段が発生する占有率データのある一定の範囲分保持するパターンメモリ手段と、各マス目の占有率データを読み出すパターンメモリ読み出し手段とを具備したことを特徴とする図形データ展開装置。

【請求項 2】 入力された図形形状、図形位置、図形寸法をもとに、それを適当な寸法を単位とする画素に  $0 \sim n \times n$  階調に濃度表現する多値階調パターン発生方法において、図形位置、図形寸法を単位画素の  $n$  分の  $1$  以上の精度で入力することによって、その図形が、注目する画素において  $n \times n$  の内のいくつかを占有するのかを算出して濃度表現することを特徴とした多値階調パターン発生方法。

【請求項 3】 入力された図形形状、図形位置、図形寸法をもとに、それを適当な寸法を単位とする画素に  $0 \sim n \times n$  階調に濃度表現する多値階調パターン発生方法において、図形が  $X$  軸、 $Y$  軸及び斜め  $45$  度の線分によりなる場合、図形位置、図形寸法を単位画素の  $n$  分の  $1$  以上の精度で入力することによって、その図形が、注目する画素において  $n \times n$  の内のいくつかを占有するのかを算出して濃度表現することを特徴とした多値階調パターン発生方法。

【請求項 4】 パターンが形成された試料に適当な波長の光を照射し、受光素子により受光されたパターン像に対応する測定データを取得する画像取得手段と、前記試料にパターンを形成するときに用いられたパターン設計データを格納している記憶手段と、この記憶手段から読み出されたパターン設計データをピクセルごとに展開するデータ展開手段と、この展開手段で展開されたデータにフィルタ処理を施して得たデータと前記測定パターンデータとを比較して前記試料に形成されているパターンの欠陥有無を判定する判定手段とを備えたパターン検査装置において、前記記憶手段は前記試料に遮光パターンを形成するときに用いられた遮光パターン設計データと位相シフトパターンとを形成するときに用いられた位相シフトパターン設計データとを座標定義同一に、かつ識別可能に格納しており、前記データ展開手段は遮光パターン設計データ展開用及び位相シフトパターン設計データ用にそれぞれ独立した系統の展開回路を持ち、各展開回路は、遮光パターンあるいは位相シフトパターンを識別する識別手段と、この識別手段が発生する識別信号に基づいて所定の記述単位ごとに明るさ信号の振幅及びオフセットを決定する振幅調整手段と、この振幅調整手段が発生する明るさ信号に基づいて、ビットの重み付け、反転及び符号を可変とすることを可能にしたビットパタ

2

ーン手段と、このビットパターン発生手段が発生するビット列を一定のパターン範囲分保持するビットパターンメモリと、検査の進行度合に合わせてビットパターンメモリを順次読み出すパターンメモリ読み出し手段と、各展開回路の出力部分でそれぞれのデータを、データの種類の組み合わせごとに予め定めた演算により合成して出力する演算手段とを有することを特徴とする試料検査装置。

## 【発明の詳細な説明】

## 10 【0001】

【発明の属する技術分野】 本発明は、物体の欠陥を検査する検査装置に関し、特に半導体素子を製作するときに使用されるフォトマスクあるいはウエハなどの極めて小さなパターンの欠陥を検査する装置、あるいは液晶基板の欠陥を検査する装置に用いる図形データ展開装置およびそれを用いたパターン検査装置に関する。

## 【0002】

【従来の技術】 大規模集積回路 (LSI) の製造における歩留まりの低下の大きな原因の一つとして、デバイスをフォトリソグラフィ技術で製造する際に使用されるフォトマスクに生じている欠陥があげられる。最近では、LSI の進歩に従って形成されるパターンの形状も微細となり、それに伴ってパターンの欠陥として検出しなければならない寸法も極めて小さいものとなっており、その精度にもより精密さが要求されるようになってきている。このような欠陥を検査する装置の構成方法として、パターンを形成するときに用いられたパターン設計データと実際に測定された測定データとを比較してパターン欠陥を検出する装置がある。この装置においては、パターンを形成するときに用いられたパターン設計データを展開して、比較する回路にデータを送るデータ展開回路が必要になる。従来のデータ展開回路は、所定の階層構造に従って記述されている設計データを一つ一つの図形に展開し、所定の寸法を単位とするパターンのマス目に、図形の形状および寸法に従って、“1”、“0”といったビットの有無で図形パターンを表現する、いわば2値のビット展開を行うものである。

【0003】 このような2値のビット展開では、検査装置により、例えば動作パラメータの一つとして決定するパターンの展開グリッドの寸法と、パターン設計者が設計データを作成する際に意図した設計グリッド寸法とを一致させておくのが望ましい。なぜならば、両者の寸法が異なると、例えば、図形パターンのエッジ部分が、装置のビットパターンの展開グリッドの寸法で最大  $\pm 1$  画素の誤差が生じることになる。これにより、検査装置はエッジ位置ずれを誤検出しやすくなる。誤検出を避けるために欠陥判定しきい値を甘くすると、今度は本来検出すべき欠陥を見逃す恐れが生じる。

【0004】 一方、最近では、設計パターンを微細化する需要が高まっている。すなわち、設計グリッド寸法を

50

より小さくすることが必要になっている。本発明が対象とする検査装置は、測定データと、その被測定データを作成する際に用いた設計データとを比較するデータベース比較型であり、パターンデータを発生する速度は、検査装置の速度に大きく関与する。従来の2値のビット展開では、設計データのグリッド寸法に合わせて装置のビットパターンの展開グリッドの寸法を決めていたため、同じ寸法の図形をビット展開する際に、展開グリッド寸法が細くなるほど、よりたくさんのビットで表現する必要が生じるため、図形単位での処理時間を変えないためには高速なデータ処理回路を装備する必要がある。

【0005】同様に、ビットパターンデータが大量になるにつれて、ビットパターンデータにフィルタ処理を施す部分の回路規模も大きくする必要がある。このフィルタ処理は、被検査パターンの光学像を取得する取得手段、特に光学系やセンサの特性などに起因するほやけを模擬する手段であるが、従来の検査装置では、ほやけはビット展開された2次元ビットパターンデータの10×10画素程度に点分布関数を畳み込み演算して求めている。ここで、観測領域寸法が変わらないまま、設計データのビット展開寸法が小さくなると、10×10だったマトリックス構成を拡大する必要がある。

【0006】また、パターンの展開においては、その展開グリッドにパターンがあるかないかで、“1”、“0”の展開をするが、そのビットパターンのマス目は、X軸Y軸に沿った線により、いわゆる碁盤目上に作られている。従って、X軸Y軸方向のみの線分により図形が構成されていれば問題は起こらないが、斜め線がある場合には、マス目をちょうど斜めに切ることになる。その場合には、そのマス目は、本来厳密には、“0.5”という値をとるべきであるが、2値の展開では、それは不可能であるので、切り捨てて“0”にするか、切り上げて“1”にするかのどちらかということになる。どちらにしても、斜め線を持つ設計データを展開した場合には、従来の“1”、“0”の数を数える方式では、展開自体に若干の誤差を含んでいる。この問題については、特開平1-305344号のように直角二等辺三角形を単位面積とすることが提案されているが、この場合には、より多くのビットで図形を展開することになるため、相当の処理時間を要することになり、あまり現実的ではない。そこで、パターンデータを展開する段階で、“1”、“0”ではなく、多値の階調に展開することができれば、より精密さを持つ展開結果を高速に後段の比較回路に送ることが可能となる。

【0007】

【発明が解決しようとする課題】先に説明したように、設計グリッド寸法が微細化するにつれて、設計データを処理するビット展開回路およびフィルタ回路では高速で大量のデータ処理が必要となる。しかし、従来の2値ビットパターンデータにフィルタ処理を施す方式では、既

に改善の限界に達している。

【0008】従って、本発明は、ビット展開回路を多値化することで、見かけ上の回路の動作速度を向上させ、かつ従来の回路が持っていた、斜め線処理における誤差を改善するという意味での精度を向上させる図形データ展開装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、図形設計データを読み込み、図形形状、図形位置、図形寸法を解読し、解読出力データを適当な寸法を単位とするマス目に割り付けるに当たり、処理している図形が存在するマス目ごとにそのマス目を占める割合を求め、占有率データを出力する図形展開回路と、図形展開回路が発生する占有率データをある一定の範囲分保持するパターンメモリ手段と、各マス目の占有率データを読み出すパターンメモリ読み出し手段とを具備したことを特徴とする図形データ展開装置を提供する。

【0010】前記図形展開手段は、読み込んだ図形の図形形状が予め定義した基本図形の場合にはそのまま出力し、基本図形を組み合わせた図形形状の場合には2つ以上の基本図形に分割して出力する。

【0011】前記パターンメモリ読み出し手段は、マス目の占有率データを読み出した後、当該マス目に図形が存在しないことを示すヌルデータを書き込む処理を同時に行う。

【0012】前記パターンメモリ手段は、前記パターンメモリ手段に書き込む前に、同一座標のマス目に既に存在する占有率データを読み戻し、読み戻したデータと、新たに書き込むデータとの和を書き込む累積書き込み方式を行う累積書き込み手段を有する。

【0013】前記累積書き込み手段は、加算を行った結果が所定のしきい値を越える場合には、そのしきい値を書き込む上限クランプ機能を有する。前記図形展開手段は多値レベルのビットパターンデータを発生する複数のパターン発生回路を有し、前記パターンメモリ手段は前記パターン発生回路とそれぞれ対をなす複数のパターンメモリを有し、前記複数のパターン発生回路に効率よく並列動作させるよう入力データを配分するデータ配分調停手段と、複数のパターンメモリを読み出す際に、同一座標のマス目の値同士を加算して前記パターンメモリ読み出し手段に出力するパターン合成加算手段とを有する。

【0014】前記パターン合成加算手段は、加算を行った結果が所定のしきい値を越える場合には、そのしきい値を前記パターンメモリ読み出し手段に出力する上限クランプ機能を有する。

【0015】上記構成において、データ展開手段で展開する量子化のマス目の寸法（展開グリッド寸法）を、設計グリッド寸法と整数倍の関係に設定する。例えば設計グリッド4×4画素を1つの展開グリッドと定義する。

5

そして、1展開グリッドのとり値（占有率データ）を0～16と、発生すべきビットの数に対応させる。こうすることにより、従来は展開グリッドを16ビット（4×4ビット）の2次元平面ビットパターンとして取り扱っていたものを、1展開グリッド内に存在するビットの数に相当する数値として取り扱うようにする。

【0016】本発明は、入力された図形形状、図形位置、図形寸法をもとに、それを適当な寸法を単位とする画素に $n \times n$ 階調に濃度表現する多値階調パターン発生方法において、図形位置、図形寸法を単位画素の $n$ 分の1以上の精度で入力することによって、その図形が、注目する画素において $n \times n$ の内のいくつ分を占有するかを算出して濃度表現する多値階調パターン発生方法を提供する。

【0017】多値階調の濃度値を算出する際に、その濃度値を0.5刻みに表現する。本発明は、パターンが形成された試料に適当な波長の光を照射し、受光素子により受光されたパターン像に対応する測定データを取得する画像取得手段と、前記試料にパターンを形成するとき10に用いられたパターン設計データを格納している記憶手段と、この記憶手段から読み出されたパターン設計データをピクセルごとに展開するデータ展開手段と、この手段で展開されたデータにフィルタ処理を施して得たデータと前記測定パターンデータとを比較して前記試料に形成されているパターンの欠陥有無を判定する判定手段とを備えたパターン検査装置において、前記記憶手段は前記試料に遮光パターンを形成するとき10に用いられた遮光パターン設計データと位相シフトパターンとを形成するときに用いられた位相シフトパターン設計データとを座標定義同一に、かつ識別可能に格納している場合に、データ展開手段で遮光パターン設計データを展開したデータと位相シフトパターン設計データを展開したデータを、その出力部分で演算を加えることによって、前記遮光パターン設計データを展開して得たデータと前記位相シフトパターン設計データを展開して得たデータとを座標定義同一で出力することを可能にした。

【0018】前記演算手段は、データ同士の演算をクロムデータを $d_1$ 、位相シフトデータを $d_2$ 、係数を $0 < k_1 < 1$ 、 $-1 < k_2 \leq 1$ として、 $k_1 d_1 + k_2 d_2$ に従って行う。

【0019】前記データ展開手段で得た展開データに対して、位相シフトデータとして展開されたデータに所定の加工を加えることによって、位相シフトマスクのパターン観測時に生じる特有の光学特性を模擬した展開結果を得て後段の回路に送る。

【0020】パターンメモリにクロムパターンを展開後に、位相シフトパターンを続いて展開する際に、パターンメモリからいったん読み出したクロムパターンデータと新たに展開した位相シフトパターンデータの演算結果をパターンメモリに新たに書き込む。

6

【0021】前記データ展開手段のビットパターン発生手段およびパターンメモリは、ビット列をパターンメモリに書き込む前に、同一座標に存在するビット列を読み戻し、読み戻したビット列と、新たに書き込むビット列との和を書き込む累積書き込み方式を行う。

【0022】前記データ展開手段の累積書き込み手段は、加算を行った結果が所定のしきい値を越える場合には、そのしきい値を書き込む上限クランプ機能を有する。前記データ展開手段のビットパターン発生手段およびパターンメモリを複数組設け、その複数個のビットパターン発生手段に効率よく並列動作させるよう入力データを配分するデータ配分調停手段と、複数個のパターンメモリを読み出す際に、同一座標のビット列同士を加算してパターンメモリ読み出し手段に出力するビットパターン合成加算手段とを設ける。

【0023】前記ビットパターン合成加算手段は、加算を行った結果が所定のしきい値を越える場合には、そのしきい値をパターンメモリ読み出し手段に出力する上限クランプ機能を有する。

【0024】

【作用】設計パターンデータを展開する段階で、“1”、“0”ではなく、多値の階調に展開することにより、より高速にかつ精度の高い展開結果を後段の回路に送ることが可能となる。

【0025】クロムパターン設計データと位相シフトパターン設計データの両方のパターンの欠陥検出を同時に実行できる。また、記憶手段に格納されている位相シフトパターンの設計データには、識別可能な情報、すなわち位相シフトパターンの有無、位相シフトパターンの構造や種類等を示す情報が付与されているので、この情報をもとに検査方法やアルゴリズム等の変更が検査実行中において随時実行可能となる。

【0026】

【発明の実施の形態】本発明の一実施の形態である図形データ展開装置のについて説明する。この実施の形態によると、入力される図形データは、適当な階層構造で記述された最下層データに当たり、通常は、装置を制御する計算機のハードディスクなどに格納されており、装置の動作に応じて、本図形データ展開装置の処理装置により読み込まれる。

【0027】即ち、本発明の図形データ展開装置で取り扱う図形の種類としては、図1に示すような、X軸方向、Y軸方向、及び斜め45度の線分よりなる図形を考える。尚、45度以外の斜線を含むような図形が存在する場合には、そのような図形を適当なアルゴリズムによって、前もって上述の図形に分割しておけばよい。

【0028】図1において、図形ごとに付与した数は、図形コードを示すものとする。また、各図形の原点は、左下、すなわちX、Y両座標について、当該図形が存在するもっとも小さい値をもって原点としている。例え

7

ば、図形コード3の三角形の場合、位置21がここでいう原点である。

【0029】本発明のプリプロセッサが読み込む図形データのフォーマットは、図2に示されている。この図からわかるように、図形データとして図形の種類、図形原点の位置、縦横の長さが与えられる。

【0030】第1の実施形態では、1つのマス目の占有率を0/16, 1/16, 2/16, ..., 15/16, 16/16の17通り、すなわち0, 1, ..., 15, 16の17階調で表現することとする。ここでは、展開グリッド寸法は設計グリッド寸法の4倍とする。当然、さらに多階調にすることも可能であるし、より少ない階調に展開する場合にも同様の手順で実現できる。

【0031】展開グリッド寸法は、設計グリッド寸法の4倍に設定したため、読み込んだ図形の原点、辺の長さ\*

$$X = 3 \frac{2}{4}, Y = \frac{3}{4}, L1 = 2 \frac{3}{4}, L2 = 5 \frac{3}{4}$$

即ち、この図形は図3のような図形である。展開結果は、図4のようになる。要するに、図形が各展開グリッドを占有している率が、展開結果に反映される。

【0033】以下に、具体的な多値データ発生方式について述べる。1つの展開グリッドの値を17値の階調にするに当たって、ある図形を描いたときに、各展開グリッドを占有することが期待される値がいくらかを計算して、その結果をその展開グリッドの値としたいとする。このとき、多値化するに当たっては、まず、図形の各頂点が、展開グリッド内においてどの位置にあるのかを展開グリッドの4分の1の精度で求める。これは、四角形：図形原点(X, Y)、横の長さL1、縦の長さL2 および三角形：図形原点(X, Y)、横の長さL1 が、その展開グリッド寸法の4分の1の精度でわかれば、求めることができる。設計グリッド寸法は、展開グリッド寸法の4分の1の精度であるとしているので、図形の各頂点の算出は可能である。基本的に、四角形の場合はX, Y, L1, L2、三角形の場合はX, Y, L1が決まれば、図形の各頂点の展開グリッドにおける位置が求まり、図形周囲の展開グリッドの値がいくつになるかは、一意に決定される。当然図形外周に当たらない内部のマス目の値は16である。本発明の図形データ展開装置で用いる多値データ発生回路は、このような特性を利用したアルゴリズムで実現される。

【0034】例えば図5のようになるように、図形コードが1の三角形で、図形原点(X, Y)、図形長L1が、それぞれ展開グリッド寸法で次のように与えられたとする。

【0035】

【数2】

8

\*は、展開グリッド寸法の4分の1単位で正確に記述されている。例えば、展開グリッド寸法(1マスの寸法)が0.2μm刻み、設計グリッド寸法はその4分の1の0.05μmであるとする。この時、図形の種類が、図1の図形コード5の縦型の平行四辺形であり、図形原点(x, y)、図形長l1, l2(それぞれ、図形がX軸方向にまたがる長さ、Y軸方向にまたがる長さで定義するとする)とし、x=0.7μm, y=0.15μm, l1=0.55μm, l2=1.15μmであったとする。その時、展開グリッド寸法で考えると、図形原点(X, Y)、図形長L1, L2(それぞれ、x, y, l1, l2を0.2μmで除算する)は、以下のようになる。

【0032】

【数1】

$$X = 1 \frac{2}{4}, Y = 1 \frac{1}{4}, L1 = 3 \frac{3}{4}$$

このときの展開結果は図6のようになるが、この場合、図形の原点は、それが存在する展開グリッドの中において(2/4, 1/4)という座標にある。図形種類とこの情報だけで、この図形原点が存在する展開グリッド(1, 1)の値は“2”であることが一意に決定される(16マスのうち2マス分を占有している)。また、その1つ右の隣接展開グリッド(2, 1)の値が“12”で、右上(2, 2)が、“5”となることも一意に決まる。また、図形の右端での数値は、図形原点の展開グリッドにおける位置及び図形長が、展開グリッド寸法の4分の1の精度で分かるので、やはり一意に決定される。

【0036】上述のように、例えば図5の形状の三角形では、図形原点(X, Y)、図形長L1が1展開グリッドの中においてどの位置に存在するかというと、X, Y, L1のそれぞれについて、展開グリッド寸法以下である(0/4, 1/4, 2/4, 3/4)の4通りの可能性があるので、4<sup>3</sup>=64通りのパターンしかない。同様に四角形においては4<sup>4</sup>=256通りの処理がある。実際には、以下に示すように、1展開グリッドに満たない図形の処理等もあるので、より複雑である。

【0037】即ち、図形が小さい場合、例えば、先述の例題のように、図形コードが1の三角形で、図形原点(X, Y)、図形長L1が、それぞれ以下のような展開グリッド寸法で、図形データが与えられた場合には、図7のようになる。

【0038】

【数3】

9

$$X = 1 \frac{2}{4}, Y = 1 \frac{1}{4}, L1 = 1 \frac{1}{4}$$

この場合には、前述の図5の時とは違い、図形原点が存在する図形左下の展開グリッド(1, 1)の値が、

“2”というところまではよいが、その隣(2, 1)が、“12”で、その上(2, 2)が、“5”であるという論理が成り立たなくなる。これは、本来展開グリッドにおいて、図形の存在する左から2列目の展開グリッド群の値は、図形原点の存在する展開グリッドにおいて、図形原点がその展開グリッド内のどこに存在するかということにのみ依存するはずであるが、図形が小さいために、同時に右端の線分の影響も受けて値が決まるために起こる。従って、このように小さい図形は、別に処理しなければならないわけである。

【0039】また、本発明の多値化方式では、図8の図形のように、ある展開グリッド内を斜めに切る図形があった場合にも、展開グリッド座標(3, 2), (4, 3)(図8で位置22, 23に示す展開グリッド)の値を理論値“8”として発生することができる。この展開グリッドには、図形が完全に占有しているマス目が6つあり、斜めに切っているため半分占有しているマス目が4つある。従って、理論値は $6 + 4 \times 0.5 = 8$ となる。しかし、従来のように“1”, “0”の展開を行うとすれば、“0.5”という記述はできないので、この展開グリッドに関しては、以下のようになる。

【0040】

0.5を切り上げた場合： $6 + 4 \times 1 = 10$

0.5を切り捨てた場合： $6 + 4 \times 0 = 6$

どちらにしても理論値“8”からずれた値が発生してしまっていたわけである。つまり、従来の“1”, “0”展開では、回避できなかった問題が本多値化方式では解決できる。

【0041】尚、特開平1-305344号で示されているように、展開グリッドを斜め線を含むように二等辺三角形で設定すれば、この問題を解決することはできるが、処理速度を考えると現実的ではない。

【0042】次に、第2の実施形態を説明する。この実施形態では、図1のような図形を処理するに当たり、まず図10のような基本図形を用意し、それ以外の図形はその基本図形に分割してから処理することとする。実際の図形展開処理は、Y軸方向(縦方向)にm展開グリッドを1ワードとしてnワード分の処理を行うような一括処理をしながらX軸方向(横方向)に描いていくこととするため、便宜上、ここでは基本図形を図10に示すように選んでいる(m, nは適当な整数)。この基本図形の処理シーケンスを用意することにより、すべての図形を展開処理することができる。例えば、図11のような平行四辺形の場合、この平行四辺形を図12のように直角二等辺三角形、長方形、直角二等辺三角形に分割して

10

処理する。また、Y軸に関して対称な図形は、展開していく方向をX軸に関して、逆方向にすればよい。もちろん、考えられるすべての図形に対して、処理シーケンスを別々に用意しても実現可能であることはいうまでもないが、このように基本図形というものを用意した方が、ハード装置の効率がよい。

【0043】上述した本発明の図形処理は、限られたパターンをROM等に予め書き込んでおく、テーブル参照方式により実現される。このテーブル参照方式を実現するハード構成が図9に示されている。

【0044】即ち、図9に示す図形データ展開回路によると、図形コード、図形原点X, Yおよび図形長L1, L2が複合図形分割部110に入力される。この複合図形分割部110は、入力された図形コードに対応する図形を基本図形に分割する。複合図形分割部110を介した図形原点X, Yおよび図形長L1, L2は初期パラメータ計算部111およびパラメータアドレス制御部112に入力される。パラメータアドレス制御部112は図形原点X, Yおよび図形長L1, L2と共に図形コードを受けることにより、図形のパラメータアドレスを行う。

【0045】図形処理シーケンサ113は複合図形分割部110からの図形コードと初期パラメータ計算部111の初期パラメータを受けて図形処理シーケンスを実行する。ROM114には所定のパターンが予め書き込まれ、初期パラメータ計算部111およびパラメータアドレス制御部112からの信号によりアドレス指定され、所望のパターンが読み出され、パターンメモリ115に記憶される。

【0046】上述のようにして発生した図形の多値データは、パターンメモリに書き込まれ、必要に応じて、読み出される。次の第3の実施形態では、第1及び第2の実施形態で発生したパターンをメモリに書き込むことについて説明する。

【0047】本発明の図形処理においては、多値のデータを発生させているので、パターンは、同一の展開グリッドに複数のパターンが存在する場合もあるので、図13のように、書き込んであるデータを一度読み出して、それと新たに発生したデータを加算器116において加算して、再び、パターンメモリ115に書き込む必要がある。

【0048】ここまでは、多値化する際に、0から16の17階調でのみ考えてきたが、これでは、例えば、8つの三角形が組み合わさってできた、正方形(図14)などの場合に、その中心部の座標が、その展開グリッドにおいて、どの位置に存在するかによって、中心展開グリッド(図14では(4, 3))の値は、16から20の値をとり得る。図14の場合には、“20”になる。この問題は、16以上の値は、すべて16として扱えば問題は無いが、同様の例題で、できあがった正方形の4

11

隅において、その展開グリッドにおける位置によっては、本来期待される値より、1大きくなってしまふ。図14の図形の展開グリッド座標(2, 0)では、本来“3”となるべきところが、丸数字1の図形で“3”、丸数字2の図形で“1”が発生して、2つの図形の合計として表すと“4”になってしまうことが分かる。これは、本当は、0.5という値をとるべきところを四捨五入して、1としたためこの状況が、2つ以上の図形で重なると、こういう現象が起きるわけである。この本来期待される値よりも大きくなってしまふ現象を回避するためには、内部精度を上げて、内部的に、0.5を取り扱うようにすれば良い。そのようにすれば、図14の(2, 0)の展開グリッドにおいても丸数字1の図形で“2.5”、丸数字2の図形で“0.5”が発生して、合計“3”という理論値が得ることができる。

【0049】第4の実施形態では、第1及び2の実施形態で発生し、パターンメモリ115に書き込まれたパターンデータを読み出すことについて説明する。パターンは、パターンメモリ115に書き込まれ、読み出された後、また次のデータを書き込まれるというように使い回される。そこで、パターンを読み出した後は、パターンメモリ115をクリアしなければならない。そのため、パターンを読み出した後は、そこにパターンが存在しないことを示すヌルデータが書き込まれる。

【0050】第5の実施形態では、図形が重なっていた場合についての処理を説明する。展開グリッドの値が上限値を越える場合には、図15のように、この上限値を越えた分については振幅を制限する回路、即ちリミット回路117が付随され、これにより図形の重なりによる問題を解決している。

【0051】第6の実施形態では、パターンの発生速度を上げるために、図16のようにパターン発生回路118及びパターンメモリ115を複数組み用意し、それらを並列動作させる。この場合には、階層構造展開回路119で、図形ごとのデータにまで展開したものを複数のパターン発生回路118に効率よく並列動作させるように入力データを配分させるデータ配分調停回路120が設けられる。なお、パターンメモリ115に記憶されたデータはパターン読出し回路121によって読み出される。

【0052】第7の実施形態では、パターン発生回路118を複数系統用意した場合のパターンの読み出しについて説明する。パターンを読み出す際には、同一座標のパターンデータ同士を加算して、読み出すことになるが、その時に前述のように一定のしきい値を越えた場合には、加算回路122の後段に図17のようにしきい値を越えた分について振幅を制限するリミット回路117が設けられる。これによって、第5の実施形態と同様の図形の重なりによる問題が解決できる。

【0053】上述した実施例によると、設計パターンデ

12

ータを展開する段階で、“1”、“0”ではなく、多値の階調に展開することにより、より高速にかつ精度の高い展開結果を後段の回路に送ることが可能となり、検査装置全体としての性能を高めることができる。

【0054】次に、第8の実施形態として、上述した実施例において多値を発生させる方法について説明する。例えば、図18のように、図形コードが2の三角形で、図形原点(X, Y)、図形長L1(=L2)が、それぞれ展開グリッド寸法で次のように与えられたとする。

【0055】

X=1.50, Y=1.25, L1=3.75

この場合、展開結果は図19に示すようになるが、図形の原点は、それが存在する展開グリッドの中において(2/4, 1/4)という座標にある。図形種類とこの情報だけで、この図形原点が存在する展開グリッド(1, 1)の値は“6”であることが一意に決定される(16マスのうち6マス分を占有している)。また、その1つ上の隣接展開グリッド(1, 2)の値が“8”で、右(2, 1)が、“12”となることも一意に決まる。また、図形の右端での数値は、図形原点の展開グリッドにおける位置及び図形長が、展開グリッド寸法の4分の1の精度で分かるので、やはり一意に決定される。つまり、展開グリッド単位で考えて、図形原点、図形寸法の値の小数点以下の数値のみにより、その図形を形成する線分上のグリッドの値が決まる。しかし、実際には、1展開グリッドに満たない図形の処理等もあるので、より複雑である。

【0056】即ち、図形が小さい場合には、例えば、先の実施形態のように、図形コードが2の三角形であり、図形原点(X, Y)および図形長L1が、それぞれ展開グリッド寸法で次のように与えられると、結果は図20のようになる。

【0057】

X=1.50, Y=1.25, L1=1.25

この場合には、図19とは違い、図形原点が存在する図形左下の展開グリッド(1, 1)の値が、161というところまではよいが、その上(1, 2)が、“8”で、その右(1, 2)が、“12”であるという論理が成り立たない。従って、このように小さい図形は、別に処理しなければならないわけである。

【0058】ここまでは、多値化する際に、0から16の17階調でのみを考察してきたが、これでは、例えば、8つの三角形が組み合わさってきた、正方形(図14)などの場合に、その中心部の座標が、その展開グリッドにおいて、どの位置に存在するかによって、中心展開グリッド(図14では(4, 3))の値は、16から20の値をとりうる。図14の場合には、“20”になる。この問題は、16以上の値は、すべて16として扱えば問題はないが、同様の例題で、できあがった正方形の4隅において、その展開グリッドにおける位置によ

13

っては、本来期待される値より、1つ大きくなってしま  
う。図14の図形の展開グリッド座標(2, 0)では、  
本来“3”となるべきところが、丸数字1の図形で  
“3”、丸数字2の図形で“1”が発生して、2つの図  
形の合計として表すと“4”になってしまうことが分か  
る。これは、本当は、0.5という値をとるべきところ  
を四捨五入して、1としたためこの状況が、2つ以上の  
図形で重なると、こういう現象が起きるわけである。こ  
の本来期待される値よりも大きくなってしまいう現象を回  
避するためには、内部精度を上げて、内部的に、0.5

を取り扱えるようにすれば良い。そのようにすれば、図  
14の(2, 0)の展開グリッドにおいても丸数字1の  
図形で“2.5”、丸数字2の図形で“0.5”が発生  
して、合計“3”という理論値が得ることができる。

【0059】次に、第9の実施形態として、パターンを  
形成するときに用いられたパターン設計データと実際に  
測定された測定データとを比較してパターン欠陥を検出  
する試料検査装置を説明する。

【0060】図21に示される試料検査装置では、顕微  
鏡等を用いてフォトマスク201に形成されているパタ  
ーンが拡大され、この拡大パターンが図22に示すよう  
に細長い短冊状に分割され、この分割部分が、例えばテ  
ーブル202が動かされることによって連続的に走査さ  
れ、この走査によって得られるデータによって検査され  
る。

【0061】具体的には、XYθテーブル202上にフ  
ォトマスク201が載置され、適切な光源203によっ  
てフォトマスク1に形成されているパターンが照射され  
る。フォトマスク201を透過した光は拡大光学系20  
4を介して、フォトダイオードアレイ205に入射す  
る。従って、フォトダイオードアレイ205上にパター  
ンの光学像が結像される。フォトダイオードアレイ20  
5上に結像されたパターンの像は、フォトダイオードア  
レイ5によつて光電変換され、さらにセンサ回路206  
によってA/D変換される。このセンサ回路206から  
出力された測定パターンデータは、位置回路7から出力  
されたXYθテーブル2上におけるフォトマスク201  
の位置を示すデータとともに比較回路208に送られ  
る。

【0062】一方、磁気ディスク209には、後述する  
ようにフォトマスク201へのパターン形成時に用いた  
パターン設計データが格納されており、この磁気ディス  
ク209から制御計算機210を通してデータ展開回路  
211に読み出される。この場合、展開回路211は、  
後述する手法に従ってデータを展開し、このデータを比  
較回路208に送る。比較回路208は、送られてきた  
図形のデータに適切なフィルタ処理を施して多値化デー  
タにする。これはセンサ回路206から得られた測定パ  
ターンデータは、拡大光学系204の解像特性やフォト  
ダイオードアレイ205のアパーチャ効果等によってフ

14

ィルタが作用した状態にあるため、設計側のデータにも  
フィルタ処理を施して、測定パターンデータに合わせる  
ためである。比較回路208は、測定パターンデータと  
適切なフィルタ処理の施された設計データとを適切なア  
ルゴリズムに従って比較し、一致しない場合には、欠陥  
有りと判定している。

【0063】上記のような試料検査装置において、集積  
度の高いLSIの出現に伴って光転写装置の解像度をさ  
らに向上させるために、フォトマスクに光の干渉を利用  
する位相シフトパターンが設けられる。すなわち、フ  
ォトマスク201に形成されるパターンは、図23に示す  
ように周辺パターン221と回路パターン222とに分  
けられる。回路パターン222は、さらにロジックコン  
トローラ部223とメモリ部224とに分けられる。メ  
モリ部224には、特に微細パターンの形成が要求さ  
れ、この部分に位相シフトパターンを形成することが必  
要となっている。通常のフォトマスクは、ガラス基板の  
表面に遮光機能のあるクロム層を所定のパターン（以  
後クロムパターンと呼ぶ）に設けたものとなつてい  
る。位相シフトパターンは、通常、SiO<sub>2</sub>などの遮光性材料  
で形成される。位相シフトの構造には種々の方式が考  
えられており、図24(a)に示すレベソソ方式、図24  
(b)に示す補助パターン方式、図24(c)に示すエ  
ッジ強調方式、図24(d)に示すクロムレス方式、図  
24(e)に示すハーフトーン方式などがある。尚、こ  
れらの図において225はガラス基板を示し、226は  
クロムパターンを示し、227は位相シフトパターンを  
示している。このようにクロムパターンと位相シフトパ  
ターンとを混在したフォトマスクのような試料につい  
て、両方のパターンの欠陥を同時に検出できるように本  
発明の実施例においては、磁気ディスク209に格納さ  
れるパターンデータおよびデータ展開回路211に改良  
がなされている。

【0064】すなわち、磁気ディスク209には、フ  
ォトマスク201に図24に示したようにクロムパター  
ン226および位相シフトパターン227を形成するとき  
に用いたパターン設計データが、座標定義同一に格納さ  
れている。このパターン設計データは、図25に示すよ  
うに図形原点、図形の辺の長さなどのほか、位相シフト  
パターン227を表す図形データには、位相シフトパ  
ターンの有無や種類などを定義する識別データおよび展  
開回路211の動作モードを指定する属性データ等が付与  
されている。この情報によって、クロムパターン226  
だけの場合、位相シフトパターン227だけの場合、両  
者が混在してゐる場合の検査アルゴリズム、各種検査に  
必要な設定値の変更を自動的に行なわせる。この変更の  
方法は、データ展開回路211自身が上記属性データを  
読み取って自動で行うことや、このデータ展開回路21  
1を制御する制御計算機、あるいは上記磁気ディスク2  
09を装備している計算機が読み取ってデータ展開回路



15

211にコマンドとして設定するなどの方式が可能である。

【0065】磁気ディスク209からデータ展開回路211へのデータ転送は、ストライプと呼ぶ短冊状ごと、あるいは、セルと呼ぶ適切な領域ごとに行われる。データ展開回路211は、転送されたデータをデータの階層構造に従って展開し、後述するパターンメモリに格納し、検査の進行に伴ってパターンメモリから読み出して後続回路に出力する。

【0066】一般的に、本発明が対象とする、この種の半導体の設計データは、くり返しパターンや共通に配置するパターンを効率良く記述するために適当な階層構造を採用することが多い。この場合、クロムパターンのデータと位相シフトパターンのデータの混在の仕方には、様々な形態が考えられる。一つの例は、磁気ディスク209に格納されている段階から、完全に別ファイルとして取り扱われる場合が容易に考えられる。

【0067】本発明においては、試料検査装置の検査方式について種々の方式を説明する。まず、第1の方式では、図26に示すように、クロムパターン用のデータ展開回路241と位相シフトパターン用のデータ展開回路242が設けられ、計算機がファイルを取り扱う際に上述の識別を行い、それぞれの回路に転送し処理を行う。

【0068】即ち、図26において、クロムパターン用データ展開回路241に対応するデータメモリ270は、計算機210からの転送データを一時的に格納するためのバッファとして機能する。階層展開回路271はデータメモリ270からデータを読み取り、データの階層構造を展開し、多値レベルのビットパターンを発生するビットパターン発生回路272に出力する。ビットパターン発生回路272が発生した、多値のビットパターンデータはパターンメモリ254に格納される。パターンメモリ254はリングバッファ構造になっており、パターン読み出し回路255の読み出しに応じて順次展開を進めるように構成されている。バッファのサイズは、展開パターンの図形密度による展開速度の変動を吸収する程度の一定のパターン範囲を保持する程度確保すれば良い。

【0069】位相シフトパターン用データ展開回路242は、多値レベルのビットパターンを発生するビットパターン発生回路273が、クロムパターン用データ展開回路241と異なる振幅特性を持たせている点に特徴がある。すなわち、クロム図形は0~100、ハーフトーン膜は70などとする。

【0070】さらに具体的には、クロムパターン用データ展開回路241では、図27に示すようなクロム膜226にガラス基板部分225が露出している部分が記述されたデータの展開処理を行い、ガラスパターン部分は“100”という値になり、クロムパターン部分は“0”という値がパターンメモリ254に展開される。

16

また、位相シフトパターン用データ展開回路242は、図27のクロム膜226に位相シフトパターン膜部分227が記述されたデータの展開処理を行い、ハーフトーン膜がある部分は“0”、そしてガラスパターン部分は“70”という値がパターンメモリ254に展開される。そしてどちらの展開回路のビットパターン発生回路272、273とも、パターンエッジの量子化誤差を抑えるために、パターンエッジやパターンコーナの位置に応じた適切な中間階調の値を発生させる機能を持っている。

【0071】パターン読み出し回路255は、クロムパターン用のパターンメモリ254と位相シフトパターン用パターンメモリを、座標が同期するよう読み出し、その際に演算回路257で次の演算を行わせている。ここでは、掘込み型ク位相シフトデータを取り扱う場合を図28を参照して説明する。

【0072】この掘込み型の場合、クロムの上にシフトを張り付けた後、クロムもシフトも乗っていないガラス部分を削った後、シフトをはがすことによって処理が終了している。

【0073】図28において、元のガラス部分とガラスを彫り込んだ部分は、どちらもガラスであることにはかわりはない。従って、このフォトマスクに光を当てた場合、位相が変わるだけで、その透過光量は、元のガラス部分とガラスを彫り込んだ部分とで、基本的には、同じになるはずであると考えられていた。しかし、本来の露光波長と異なる波長の光で検査した場合、パターンの間隔が非常に狭い場合には、その限りではなく、ガラスを彫り込んだ部分の方が、若干その振幅が小さくなるのが分かった。そこで、そのような、位相シフトデータに対応するため、次のような処理を施す。すなわち、演算回路257ではクロムパターンデータから位相シフトパターンデータを減じる処理を施す。この際に、適当な振幅結果となるようにクロムデータを $d1$ 、位相シフトデータを $d2$ 、適当な係数： $k1$ 、 $k2$ とした場合に

$$k1 d1 - k2 d2 \quad (2)$$

なる演算を行う。また、結果がマイナスの値になる場合には零にクランプする機能も用意されている。従って、上述の演算によって、所望の特性を得ることができるわけである。

【0074】また、パターンメモリへの書き込みは以前に説明した図13に示すような構成を採ることにより実用的になる。すなわち、新たに書き込もうとする座標領域のパターンメモリのデータを一回読み出して、この読み出しデータと書き込むデータとを加算してから、メモリに書き込む。これは、実際のパターンメモリは複数画素を一括して、並列に取り扱うと構成が容易になることによる。

【0075】ここで、もし図形が重なって記述されていたとすると図13の構成のままではガラスパターン部分

17

は“100”という値を超過してしまう。そこで図15に示すように、それを越えた分については振幅を制限する回路を付随させることによって、図形の重なりによる問題を解決できる。

【0076】ビットパターン発生回路272、273によるパターンメモリ254への書き込みは、検査装置の所定の検査速度に対して十分に高速に動作するよう設計されている。すなわち、パターン読み出し回路255は、常に後続の比較回路208からのデータ要求を待機するよう動作し、パターンメモリ254にはパターンが展開され、リングバッファがフルの状態になるよう動作する。また、このパターンメモリ254は読み出された後はデータが不要となるため、読み出しと同時にゼロクリアする機能が設けられている。

【0077】以上の過程で合成され読み出されたデータは、比較回路208に送られる。比較回路208は送られてきたデータに適切なフィルタ処理を施して、さらに詳細な多値データにしたうえで、センサ回路206から送られる観測データと比較判定アルゴリズムを適用して欠陥判定を行う。なお、センサ回路206と比較回路208の間でセンサ特性を補正したり、上述の設計データを処理したことに対応するオフセット処理や、クランプ処理を実施できるようにしておくことも実用性に富む構成である。

【0078】以上の説明では、クロムパターンのデータと位相シフトパターンのデータの混在の仕方の一例として、磁気ディスク209に格納されている段階から、完全に別ファイルとして取り扱われる場合を説明した。しかし、上述のような、くり返しや共通配置を記述するためには、階層構造の適当な階層において、クロムパターンと位相シフトパターンの混在を許容する取り扱いも合理的な方法といえる。

【0079】また、本発明のデータ展開回路211では、データ記述の階層毎に入出力インターフェースを備えた概略展開、詳細展開といったパイプライン状の回路構成を基本とし、階層の段数が複雑な場合には、回路の構成段数もこれに応じた複数の段数の階層構成を採用するようにする。

【0080】この場合に、クロムパターンデータと位相シフトパターンデータが、第n番目の階層以下は別々に記述されて、この階層以上はクロムパターンと位相シフトパターンを一体の構造として取り扱うよう記述されていることが考えられる。

【0081】そこで本発明の第2の検査方式として、上記第n番目の階層まで混在したデータが流れて、n番目の階層で識別を行い、当該階層以下の処理を行う部分をクロムパターンデータ専用の回路と位相シフトパターンデータ専用の回路を設け、それを並列化することによって、クロムパターンデータと位相シフトパターンデータが磁気ディスク209に格納されている単一のファイル

18

内に混在している場合にも処理することが可能とする方式を図29を参照して説明する。

【0082】本発明の検査装置に読み込ませるデータは、図25に示すようなフォーマットにより、クロム部分の図形には“C”、ハーフトーン部分の図形には“H”なる符号が付加されていることで識別を行えるところが、図2のデータフォーマットと異なる。これは、図27の断面形状のクロム-ハーフトーン混在パターン部分を想定したものである。

【0083】図29のデータ識別回路251は上記n番目の階層を展開する部分に具備されるもので、識別された階層データは、第1の実施例で説明したクロムパターン発生回路241および位相シフトパターン242にそれぞれ導かれる。これ以降のパターンメモリへの書き込み動作、パターンメモリ読み出し回路255、演算回路257の動作などは第1の検査方式と同様である。

【0084】上述の第2の検査方式では、クロムパターンデータと位相シフトパターンデータが混在している場合の両者の頻度が極端に異なる場合、頻度が少ないデータ用の回路が休んでいるにも関わらず頻度が高いほうの回路の処理能力で全体の展開速度を律速することになる。このため、全体の回路を効率的に運用するにはクロムパターンデータ用回路と位相シフトパターンデータ用回路の区別をやめて、どちらのデータでも処理できる構成を採ることもできる。

【0085】この構成が第3の検査方式として図30に示されている。これによると、データメモリ270には、クロムパターンと位相シフトパターンのデータが識別可能のように格納されており、データメモリを読み出したデータは、識別回路251が図25に示すようなフォーマットにより、クロム部分の図形には“C”、ハーフトーン部分の図形には“H”なる符号が付加されていることで識別し、図形毎に振幅調整回路252が振幅（明るさ）を決定する。例えばクロム図形は0~100で、クロムの遮光膜は0、ガラス部分は100と定義する。一方、位相シフトパターンの場合は-30~0として、ハーフトーン膜部分は-30、ガラス部分は0と定義する。

【0086】ビットパターン発生回路253は、ビット展開した結果が前記振幅調整回路252で決定された振幅のデータを発生し、ビットパターンメモリ254に書き込む。本方式の場合、図28に示すようにクロム-ガラス図形のガラス部分は“100”という値になり、位相シフトマスクのハーフトーン膜がある部分は“-30”といった値がパターンメモリに書き込まれる。

【0087】なお、パターンメモリへ書き込む際には、図13のように、書き込もうとする領域のメモリ内のデータを一回読み出して、それと書き込むデータとを加算してから、メモリに書き込む構成は上記第1、第2の方式と同様である。

19

【0088】この構成を採ることで、クロムパターンの図形（ガラス部分）に位相シフトパターンの遮光膜が重なる部分は、まず“100”という値が書き込まれて、次に“-30”といった値がパターンメモリに書き込まれる。この“-30”が書き込まれる際に読み出して加算するため、結局“70”がパターンメモリに記録される。書き込まれる順序が逆で一時的にマイナスの値が書き込まれることも許容する。

【0089】本方式の場合では、ハーフトーン、クロム双方についてパターンを発生させてメモリに書き込むので、最終的な累積値が上限値（この場合には100）を越えたり、下限値（この場合は0）を下回る場合にも、図15のように、それを越えた分については振幅を制限する回路を付随させることによって、図形の重なりによる問題を解決できる。

【0090】本発明の試料検査装置のビットパターン発生回路では、階層構造に応じてデータを展開するデータ展開回路に比べて、個々の図形パターンを発生する部分の処理時間が掛るため、第6の実施形態で説明した図16に示すようなパターン発生回路118およびパターンメモリ115を並列化してスループットを向上することが可能である。

【0091】この場合には、階層構造展開回路で、図形ごとのデータにまで展開したものを複数のパターン発生手段に効率よく並列動作させるように入力データを配分させるデータ配分調停回路120を設ける。

【0092】ここで用いる複数のパターン発生回路118、および、それぞれのパターン発生回路118に対応するパターンメモリ115は、クロムパターンと位相シフトパターンを混在して展開できるもので構成することもできる。また、上記第2の方式で説明した図29のように、クロムパターン用のパターン発生回路241と、位相シフトパターン用のパターン発生回路242の両方を適当な数ずつ用意して、図16の調停回路120には図29のデータ識別回路251の機能を兼ね備えるようにすることも可能である。

【0093】本方式のパターン読み出し回路121は、複数系統のパターンメモリ115を読み出す際に、同一座標のパターンデータ同士を加算して、読み出すようにする。具体的には図17に示すように演算回路122とリミッタ回路117とから成る合成機能を用意する。演算回路117は同一座標のパターンデータ同士を加算するものであり、リミッタ回路117は、上記第1の方式で説明した通り、所定の振幅を越えた分について振幅を制限する回路である。これによって、図形の重なりによる問題が解決できる。

【0094】次に、第5の検査方式として、図31の、第1の位相シフト膜と第2の位相シフト膜のように、位相シフト膜2種とクロム膜が混在し、ガラスの明るさが“100”、A種位相シフト膜部分の明るさが“7

20

0”、B種位相シフト膜部分の明るさが“30”、クロム膜の明るさが“0”とする場合の対応構成を説明する。

【0095】図30の回路構成において、識別回路251はクロム膜と位相シフト膜の2種の膜を識別することになる。データ識別回路251は、ガラスクロム図形の場合には0～100の振幅とするよう振幅調整回路252に指示し、A種位相シフト膜の図形の場合には-30～0の振幅とするよう、さらにB種位相シフト膜の図形の場合には-70～0の振幅とするよう振幅調整回路252に指示する。

【0096】これ以降のパターン発生回路253とパターンメモリ254の動作構成は上記第3の方式で説明したことと同様である。尚、パターンの発生回路を3系統用意して、第1及び第2の方式のように実現することも可能である。また、本方式の場合でもスループット向上のために、上記第4の方式で説明した、複数のパターン発生回路、および、それぞれのパターン発生回路に対応するパターンメモリを並列に装備してパターンメモリを読み出し時に合成処理する方法を併用することも可能である。

【0097】以上説明した各検査方式は、本発明の趣旨を逸脱しない範囲で更に変形可能である。たとえば、計算機からデータを受信する部分に大容量のバッファメモリを具備し、さらにバッファを複数用意してダブルバッファの原理で交互に運用したりする。または、以上説明した各構成回路間の随所にバッファメモリを設ける。パターンを読み出した結果にオフセットを重畳して、光振幅特性をより良く模擬しようとするなど、いずれも本発明の応用として、実用的な変形例である。

【0098】また、以上の説明では、試料検査装置は、光源から発射された光を試料に透過させて観測した場合を説明したが、本発明のデータ展開回路は、試料からの反射光を観測する方式であっても、振幅のダイナミックレンジや明暗を定義し直すことで適用可能である。

【0099】

【発明の効果】上述した本発明の図形データ展開装置によると、設計パターンデータを展開する段階で、“1”、“0”ではなく、多値の階調に展開することにより、より高速にかつ精度の高い展開結果を後段の回路に送ることが可能となり、検査装置全体としての性能を高めることができる。

【0100】また、本発明の試料検査装置によれば、フォトマスクにパターンを形成する際に用いられたクロムパターンの設計データと位相シフトパターンの設計データとを用いることによってクロムパターンと位相シフトパターンの欠陥検査を同時に行うことができる。位相シフトマスクは全面が位相シフトパターンを持った構造ではなく、パターン線幅が非常に細かい部分あるいは、繰り返しパターンの多く含まれる部分に形成される。すな

わち、クロムパターンの中の部分とクロムパターンと位相シフトパターンが混在している部分との領域に分かれて1枚のフォトマスクが製作されている。従つて、読み出された設計データ中に位相シフトパターンデータが存在しているか否かによって検査方法の変更が検査実行中隨時可能である。また、クロムパターンの中のフォトマスクあるいは位相シフトパターンのみのフォトマスクでも独立に検査が可能である。さらに位相シフトの構造にあった必要な検査アルゴリズムを選択することも可能であり、様々な検査の要求に合わせたより実用度の高い試料検査装置を最小限度の回路の追加で実現できる。

#### 【図面の簡単な説明】

【図1】本発明の図形データ展開装置に適用される種々の図形を示す図。

【図2】図形データ展開装置に与えられる図形データのフォーマットを示す図。

【図3】図形展開に使用される図形の一例を示す図。

【図4】図3の図形を展開した結果を示す図。

【図5】図形展開に使用される図形の他の例を示す図。

【図6】図5の図形を展開した結果を示す図。

【図7】図形展開に使用される図形の他の例を示す図。

【図8】図7の図形を展開した結果を示す図。

【図9】本発明の図形データ展開装置のハード構成を示す図。

【図10】基本図形を示す図。

【図11】図形展開のために与えられた図形の一例を示す図。

【図12】図11の図形をブリプロセッサに与えるときの図形データの一例を示す図。

【図13】パターンデータをパターンメモリに書き込む回路の一例を示す図。

【図14】複数の図形が組合わさった図形の一例を示す図。

【図15】パターンデータをパターンメモリに書き込む回路の他の例を示す図。

【図16】並列処理によりパターンを発生する回路の説明図。

【図17】パターンデータをパターンメモリから読み出す回路の一例を示す図。

【図18】本発明において多値を発生させる方法を説明するための図形展開のために与えられた図形の一例を示す図。

【図19】図18の図形を展開した結果を示す図。

【図20】本発明において多値を発生させる方法を説明するための図形展開のために与えられた図形の他の例を示す図。

【図21】本発明の一実施形態に関わるパターン検査装置の構成を示す図。

【図22】パターン検査装置の検査方法の説明図。

【図23】フォトマスク上のパターン形成領域の説明

図。

【図24】位相シフトマスクの種々の構造の説明図。

【図25】磁気ディスクに格納されている図形データの一例を示す図。

【図26】クロムパターンおよび位相シフトパターンを合成する方式を用いたパターン検査装置の構成を示す図。

【図27】クロムパターンおよび位相シフトパターンが混合しているフォトマスクを示す図。

【図28】掘込み型の位相シフトマスクの場合の展開方法についての説明図。

【図29】並列処理によりパターンを発生する回路の説明図。

【図30】クロムパターン、位相シフトパターン専用のパターン発生回路を有するデータ展開装置の構成を示す図。

【図31】3種類以上のデータが存在するときの明るさ信号を説明する図。

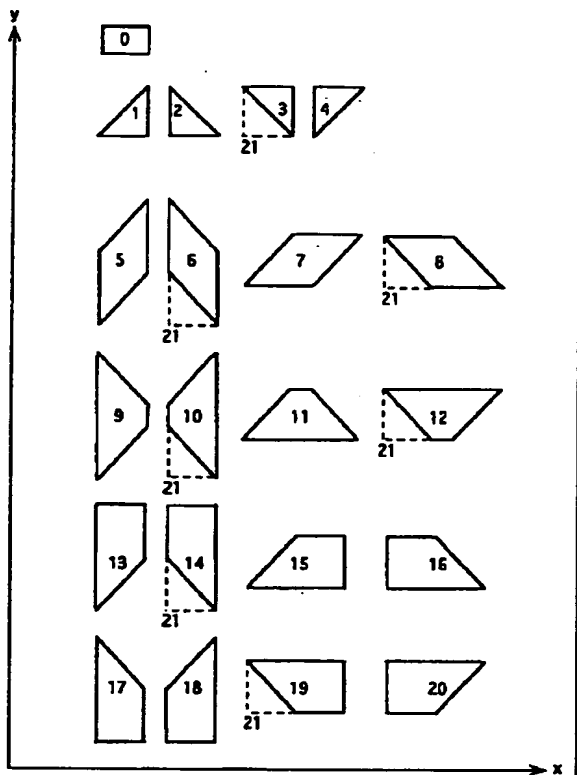
#### 【符号の説明】

- 1 1 5…パターンメモリ
- 1 1 6…加算回路
- 1 1 7…リミッタ回路
- 1 1 8…可変振幅パターン発生回路
- 1 1 9…階層構造展開回路
- 1 2 0…調停回路
- 1 2 2…加算回路
- 2 0 5…フォトダイオードアレイ
- 2 0 6…センサ回路
- 2 0 7…位置回路
- 2 0 8…比較回路
- 2 1 0…制御計算機
- 2 1 1…データ展開回路
- 2 2 1…周辺パターン
- 2 2 2…回路パターン
- 2 2 3…コントローラパターン
- 2 2 4…メモリパターン
- 2 2 5…ガラス基板
- 2 2 6…クロムパターン
- 2 2 7…位相シフトパターン
- 2 4 1…クロムパターン発生回路
- 2 4 2…位相シフトパターン発生回路
- 2 5 1…データ識別回路
- 2 5 2…振幅調整回路
- 2 5 3…パターン発生回路
- 2 5 4…パターンメモリ
- 2 5 5…パターン読み出し回路
- 2 5 6…振幅調整パターン発生回路
- 2 5 7…演算回路
- 2 7 0…データメモリ
- 2 7 1…階層データ展開回路

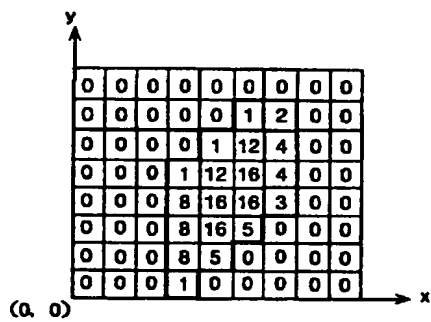
23

272...クロムパターン発生回路

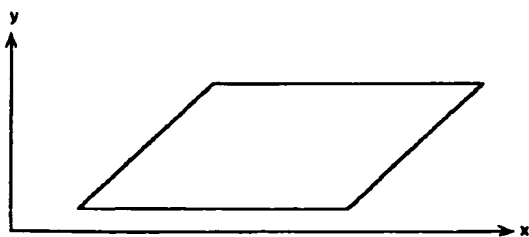
【図1】



【図4】



【図11】



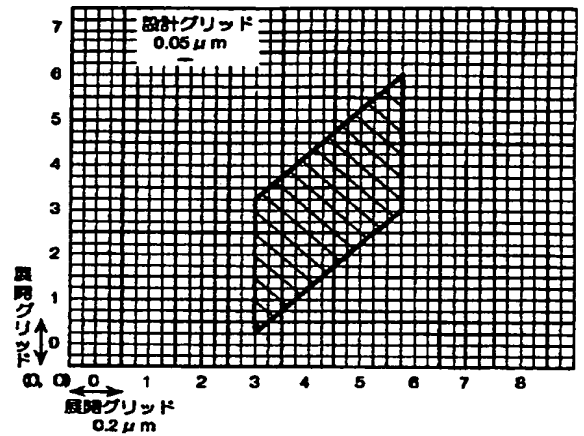
24

\* 273...位相シフトパターン発生回路

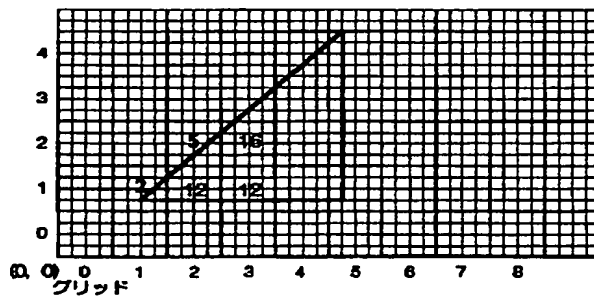
【図2】

図形コード
図形原点
図形長
図形コード
図形原点
図形長
...
図形コード
図形原点
図形長

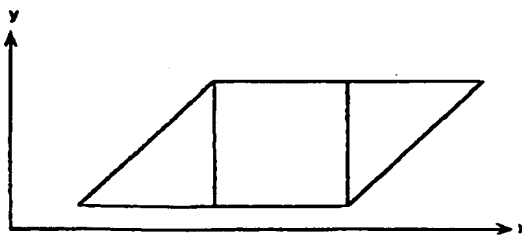
【図3】



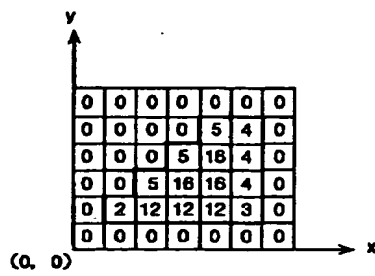
【図5】



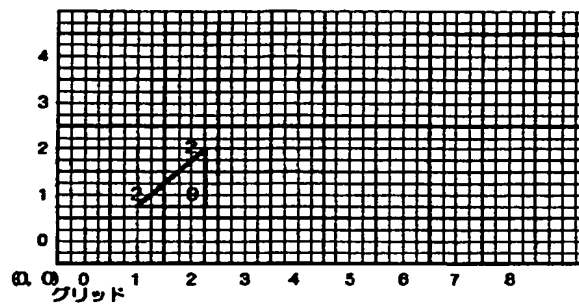
【図12】



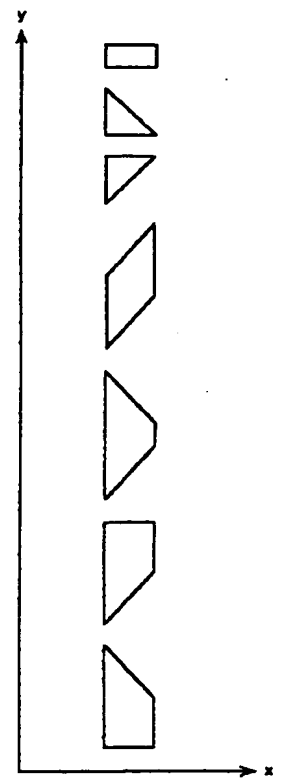
【図6】



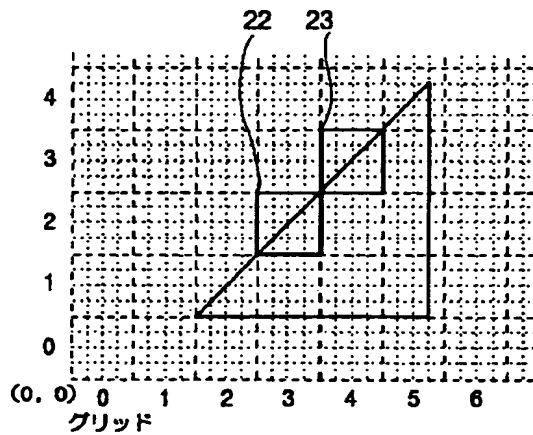
【図7】



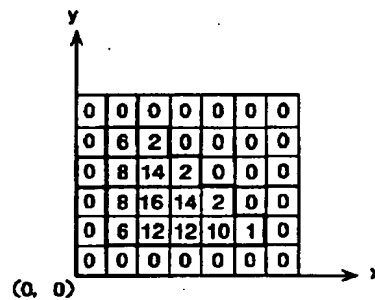
【図10】



【図8】



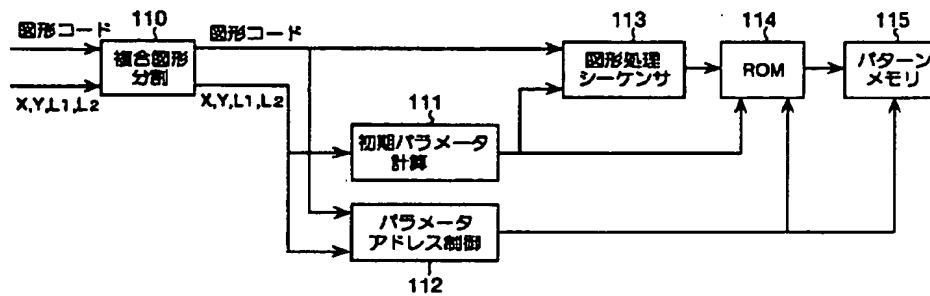
【図19】



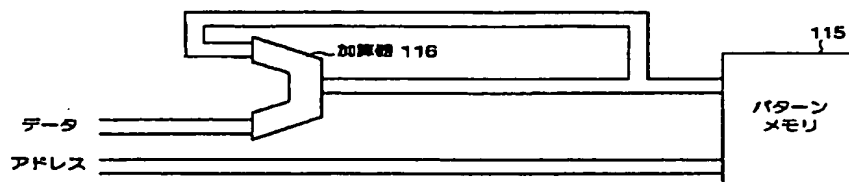
【図25】

図形コード
材料種別 (C,H)
図形原点
図形長
図形コード
材料種別 (C,H)
図形原点
図形長
⋮
図形コード
材料種別 (C,H)
図形原点
図形長

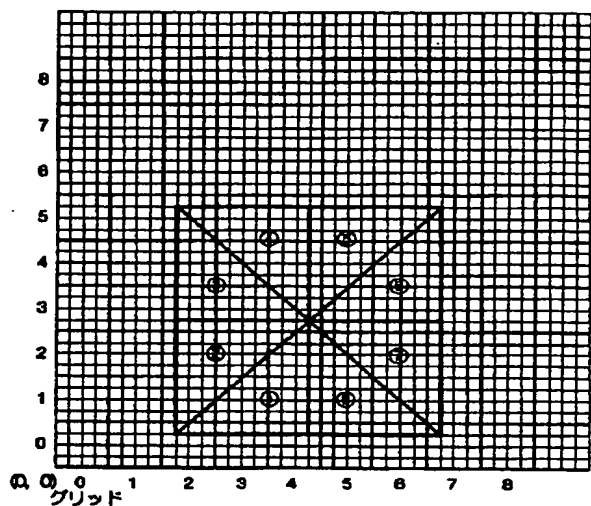
【図9】



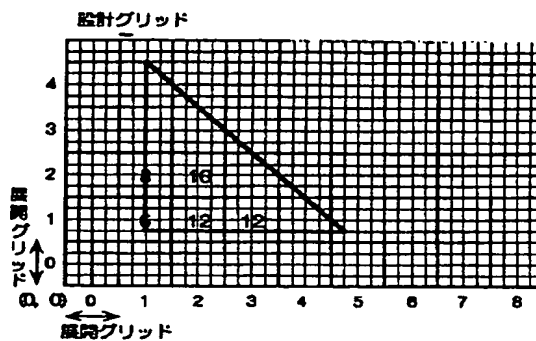
【図13】



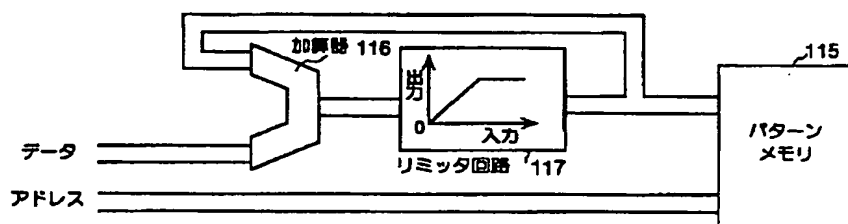
【図14】



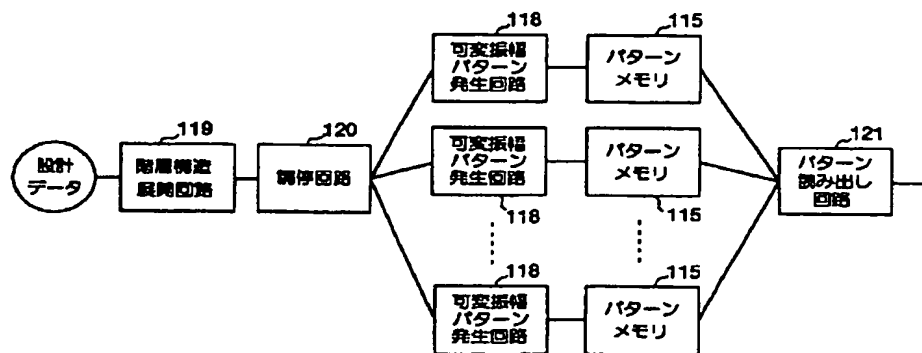
【図18】



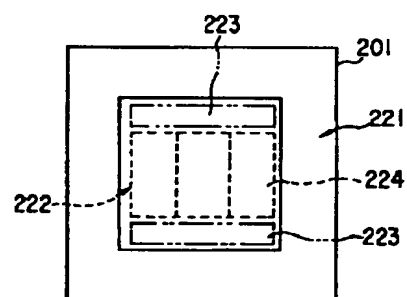
【図15】



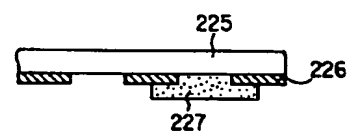
【図16】



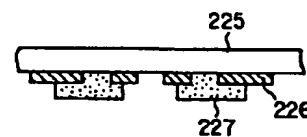
【図23】



【図27】

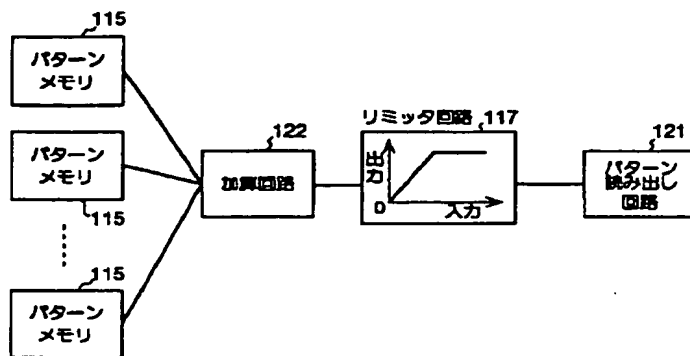


(a)

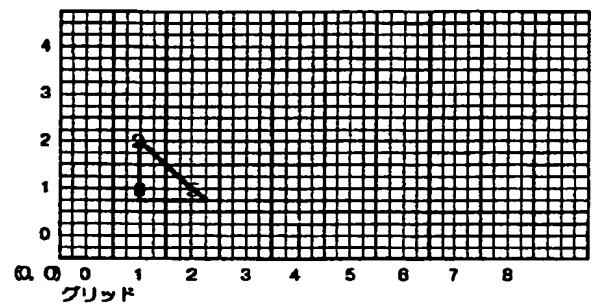


(b)

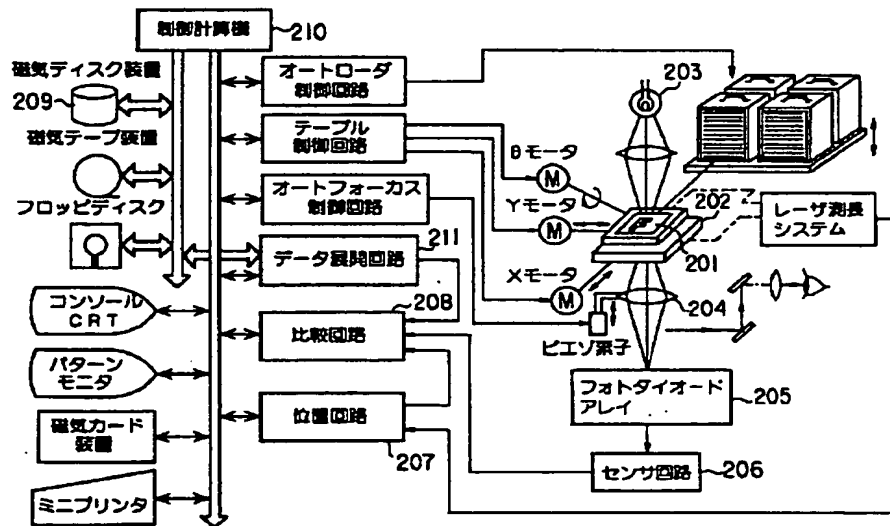
【図17】



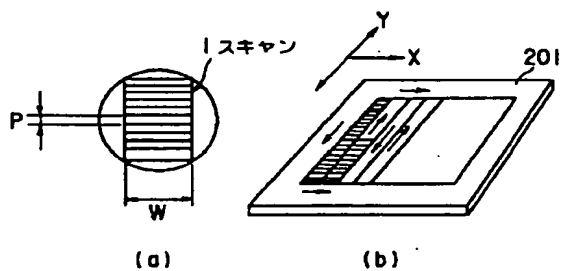
【図20】



【図21】

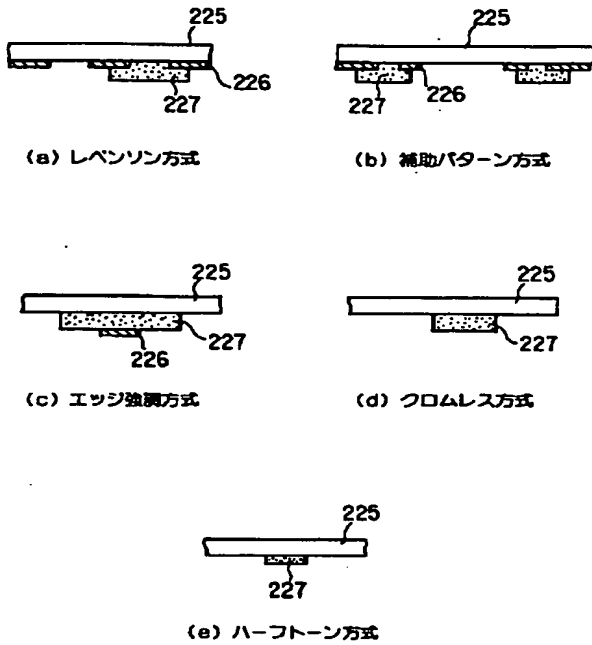


【図22】

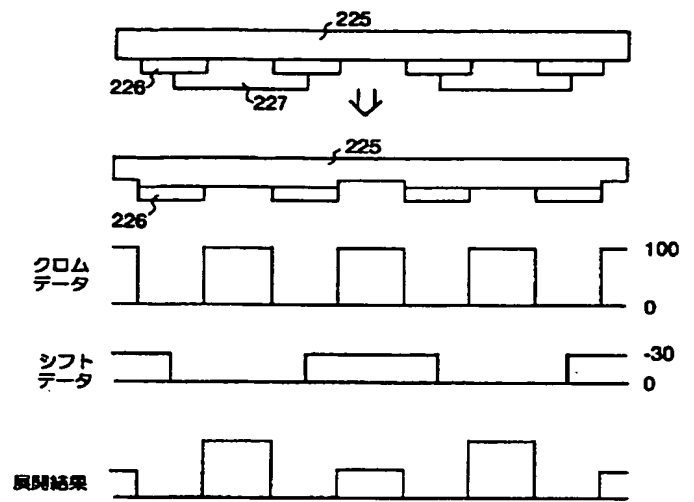




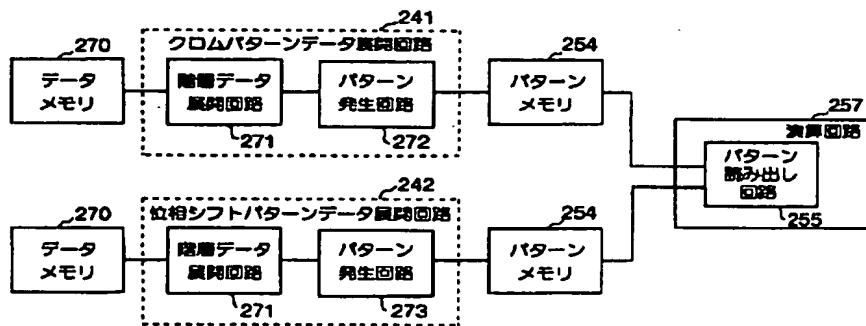
【図24】



【図28】



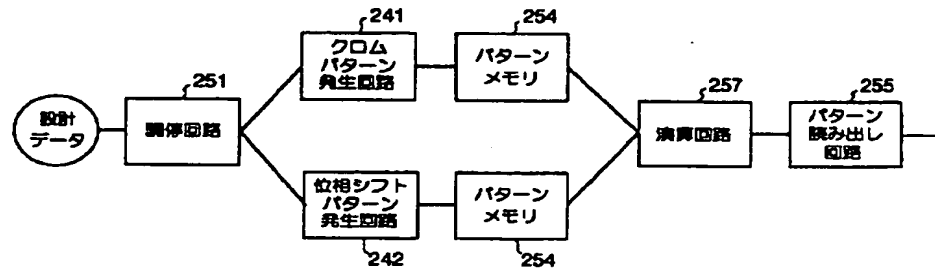
【図26】



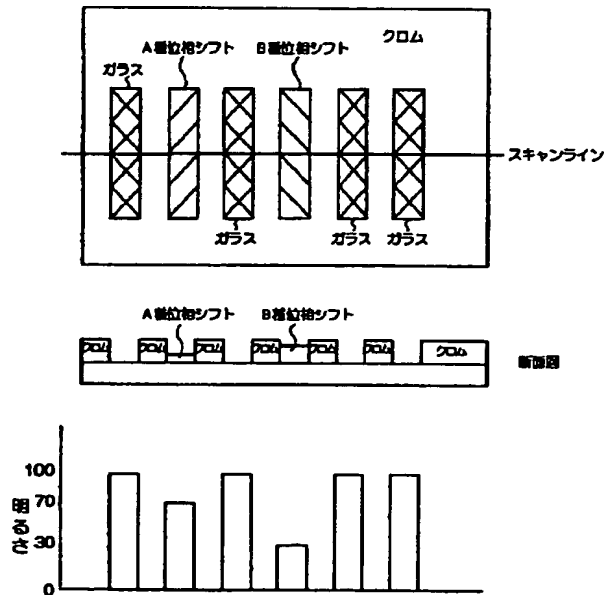
【図30】



【図29】



【図31】



## 【手続補正書】

【提出日】平成9年12月25日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

## 【補正内容】

【0070】さらに具体的には、クロムパターン用データ展開回路241では、図27に示すようなクロム膜226にガラス基板部分225が露出している部分が記述されたデータの展開処理を行い、ガラスパターン部分は

“100”という値になり、クロムパターン部分は“0”という値がパターンメモリ254に展開される。また、位相シフトパターン用データ展開回路242は、図27のクロム膜226に位相シフトパターン膜部分227が記述されたデータの展開処理を行い、ハーフトーン膜がある部分は“30”、そしてガラスパターン部分は“0”という値がパターンメモリ254に展開される。そしてどちらの展開回路のビットパターン発生回路272、273とも、パターンエッジの量子化誤差を抑えるために、パターンエッジやパターンコーナの位置に

応じた適切な中間階調の値を発生させる機能を持っている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】図 8

【補正方法】変更

【補正内容】

【図 8】図形展開に使用される図形の他の例を示す図。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】図 30

【補正方法】変更

【補正内容】

【図 30】クロムパターンと位相シフトパターンを同一の回路でパターン発生する回路の説明図。

---

フロントページの続き

(51)Int. Cl. 6

識別記号

F I

H 0 1 L 21/82

C

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**